

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

H01L 21/20

## [12] 发明专利申请公开说明书

[21] 申请号 01800521.7

[43] 公开日 2002 年 8 月 14 日

[11] 公开号 CN 1364309A

[22] 申请日 2001.3.27 [21] 申请号 01800521.7

[30] 优先权

[32]2000.3.27 [33]JP [31]086117/00

[86]国际申请 PCT/JP01/02523 2001.3.27

[87]国际公布 WO01/73827 日 2001.10.4

[85]进入国家阶段日期 2001.11.14

[71]申请人 松下电器产业株式会社

地址 日本大阪府

[72]发明人 神泽好彦 能泽克弥

斋藤彻 久保实

[74]专利代理机构 中科专利商标代理有限责任公司

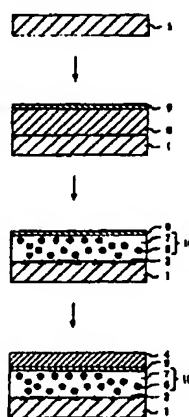
代理人 汪惠民

权利要求书 1 页 说明书 10 页 附图页数 6 页

[54]发明名称 半导体晶片及其制造方法

[57]摘要

对沉积了 SeGeC 晶体层 8 的 Si 衬底 1 进行热退火处理,从而在硅衬底 1 上形成退火 SiGeC 晶体层 10,该退火 SiGeC 晶体层 10 由被晶格弛豫、且几乎没有位错的矩阵 SiGeC 晶体层 7 和分散在矩阵 SeGeC 晶体层 7 中的 SiC 微晶体 6 构成。然后,在退火 SeGeC 晶体层 10 上沉积 Si 晶体层,而形成很少有位错的应变 Si 晶体层 4。



ISSN 1008-4274

知识产权出版社出版

## 权 利 要 求 书

- 1、 一种半导体晶片，备有：  
5 由 Si 晶体构成的衬底，  
设在上述衬底上的、其平面内的晶格常数比上述衬底的晶格常数大的晶体层，其中：  
至少上述晶体层的一部分，是 Si、Ge 和 C 构成的、且有 SiC 晶体分散在其中的晶体。
- 10 2、 根据权利要求第 1 项所述的半导体晶片，其中：  
又备有没在上述晶体层上且已应变了的 Si 晶体层。
- 3、 一种半导体晶片的制造方法，其中包括：  
在由 Si 晶体构成的衬底上，沉积至少一部分含有 Si、Ge 和 C 的晶体层的步骤(a)；  
15 对沉积了上述晶体层的上述衬底进行热退火处理，让上述晶体层晶格弛豫，在上述晶体中析出 SiC 晶体的步骤(b)。
- 4、 根据权利要求第 3 项所述的半导体晶片的制造方法，其中：  
又包括在上述 SiC 晶体的热退火后的上述晶体层上，形成应变了的 Si 晶体层的步骤(c)。
- 20 5、 一种半导体晶片的制造方法，其中包括：  
在由 Si 晶体构成的衬底上，沉积至少其中的一部分含有 Si、Ge 和 C 的晶体层的步骤(a)；  
将 Si 晶体层沉积在上述晶体层上的步骤(b)；  
对上述衬底进行热退火处理，且在上述晶体中析出 SiC 晶体，使上  
25 述 Si 晶体层应变的步骤(c)。



## 说明书

### 半导体晶片及其制造方法

5

#### 技术领域

本发明涉及一种半导体晶片的制造方法，特别涉及包括有应变的半导体晶体层的半导体晶片的形成方法。

#### 10 背景技术

使用了体(bulk)Si 晶体的半导体元件的多功能性、高速性的不断实现，主要归功于元件的微细化。为提高元件的性能，今后更加需要元件的微细化，可是为了更加实现元件的微细化，还仍然存在着很多技术上应该解决的问题。即使进行元件的微细化，元件的最高性能也受体 Si 晶体这一材料具有的物理特性(如，迁移率)的影响。换言之，很难大幅度地提高元件的性能。

近几年来，进行有一些尝试，即用体 Si 晶体以外的材料来提高元件的特性。其中，有一种迁移率比 Si 大的新材料的利用，如 Si 和 Ge 的混晶(SiGe)，Si、Ge 和 C 的混晶(SiGeC)等。还有一种尝试，是利用应变 Si 晶体，即给 Si 晶体追加应变这一新的因素，且减少被称作 intervalley scattering 的载流子即电子的散乱，而提高迁移率。这些尝试中，特别是对于后者的利用应变的方法，只要应变体 Si 晶体就能提高性能，而且能采用已往的 Si 制造工艺的技术(例如氧化，蚀刻工序的技术)，故在工业上引人注目。

25 至今，这样的应变 Si 晶体，是以在由体 Si 晶体形成的 Si 衬底上沉积很厚的 SiGe 晶体层，其上面再沉积 Si 晶体制造的。一般来说，SiGe 晶体是其晶格常数比 Si 大的晶体，故若在使衬底平面内的晶格与 Si 相匹配的状态下使 SiGe 晶体外延生长，在 SiGe 晶体上就发生极大的压缩性应变。将超过一定程度以上的膜厚(临界膜厚)的 SiGe 晶体沉积在 Si 衬底上，Si 衬底和 SiGe 层之间就产生位错，应变弛豫。结果，SiGe 层

的平面内的晶格间距变得比在 Si 衬底表面上的晶格间距还大。将 Si 晶体层外延生长而沉积在该 SiGe 晶体层上后，该 Si 平面内的晶格间距，与弛豫了的 SiGe 晶体内的晶格间距一致，变为比 Si 本来具有的晶格常数大。结果，能制造受拉伸应力的应变 Si 晶体层（补充一下，以后我们称如上述 SiGe 晶体那样产生晶格弛豫，且具有比 Si 衬底还大的晶格间距的晶体层，缓冲层）。

在此，利用附图对在衬底上形成应变 Si 晶体层的已往的方法进行更详细的说明。

图 1 是用已往的方法来形成应变 Si 晶体层的衬底的剖开图。

10 制造形成有该应变晶体层的衬底，首先要以 CVD 法将超过临界膜厚且厚度在几 $\mu\text{m}$ 以上的 SiGe 晶体层 103 外延生长在 Si 衬底 101 上。此时，在弛豫 SiGe 晶体层 103 内产生位错 102，SiGe 晶体层 103 发生晶格弛豫。其次，以 CVD 法将 Si 晶体沉积在 SiGe 晶体层 103 上，由此得到应变 Si 晶体层 104。

15 然而，在形成由厚度比临界膜厚更厚的 SiGe 晶体层 103 构成的缓冲层时，会产生穿通晶体层中的极大的缺陷（穿通位错 105）。而且，在一定的条件下，该穿通位错 105 有可能还穿到应变 Si 晶体层 104 中，且在应变 Si 晶体层 104 内也形成缺陷。这样的晶体层中的缺陷会成为阻碍元件特性提高的一个原因。

20 作为减少穿通位错 105 的密度的结构，经常采用逐步地、或逐渐地改变 SiGe 晶体层 103 中的 Ge 含有率的结构，可是，无论逐步地还是逐渐地改变 Ge 含有率，要降低位错密度都需要一边改变 Ge 含有率一边沉积厚度几 $\mu\text{m}$ 以上极厚的 SiGe 晶体层。当然，制造该极厚的缓冲层需要很长时间的晶体生长，故很难实现制造晶片的低成本化。因此，直到现在，人们认为将应变 Si 晶体应用在实际的半导体元件工业生产上确实是很困难的。

## 发明内容

30 本发明的目的为：提出一种晶体的缺陷密度下降了的缓冲层结构及其制造方法，并用它来制造被用作半导体元件的衬底，且有应变 Si 层等

的半导体晶片。

本发明所涉及的半导体晶片，备有：由 Si 晶体构成的衬底，和设在上述衬底上的、其平面内的晶格常数比上述衬底的晶格常数大的晶体层，其中，至少上述晶体层的一部分，是 Si、Ge 和 C 构成的、且有 SiC 晶体分散在其中的晶体。

这样，能将其平面内晶格常数比由 Si 晶体构成的衬底的晶格常数大的晶体层，作为缓冲层使用，故在该缓冲层上能形成有了应变的 Si 晶体层。而且，在此制造的半导体晶片可以用于半导体元件的衬底。

在上述半导体晶片中，又备有没在上述晶体层上且已应变了的 Si 晶体层。有应变的 Si 晶体层内的载流子的迁移率比体 Si 晶体内的载流子迁移率高，故在使用该半导体晶片作半导体元件的衬底时，可以制造出比将体 Si 晶体用作衬底时能制造出的性能更好的半导体元件。

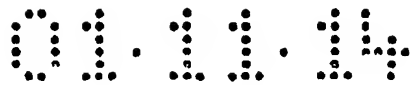
本发明所涉及的半导体晶片的第 1 制造方法，包括：在由 Si 晶体构成的衬底上，沉积至少一部含有 Si、Ge 和 C 的晶体层的步骤(a)；对沉积了上述晶体层的上述衬底进行热退火处理，让上述晶体层晶格弛豫，在上述晶体中析出 SiC 晶体的步骤(b)。

依据该方法，能制造出以含有 Si、Ge 和 C 的晶体层作为缓冲层，且在该缓冲层上可以形成几乎都没有位错的应变 Si 晶体层的半导体晶片。

特别是，在上述步骤(b)中，对衬底进行热退火处理而析出 SiC，由此可以抑制在作为缓冲层的晶体层内产生的穿通位错。另外，由此可以将已往的厚度需要几 $\mu\text{m}$  左右的缓冲层薄一些，故可批量生产能形成应变 Si 晶体层的半导体晶片。

上述第 1 半导体晶片的制造方法，又包括在上述 SiC 晶体的热退火后的上述晶体层上，形成应变了的 Si 晶体层的步骤(c)，由此可以制造含有 Si、Ge 和 C 的缓冲层和应变 Si 晶体层的半导体晶片。和使用体 Si 晶体作衬底时相比，该半导体晶片作为半导体元件的衬底使用时，能制造出性能更好的半导体元件。

本发明所涉及的半导体晶片的第 2 制造方法，包括：在由 Si 晶体构成的衬底上，沉积至少其中的一部分含有 Si、Ge 和 C 的晶体层的步骤(a)；将 Si 晶体层沉积在上述晶体层上的步骤(b)；对上述衬底进行热退火处



程, 且在上述晶体中析出 SiC 晶体, 使上述 Si 晶体层应变的步骤(c)。

依照上述方法, 与上述半导体晶片的第 1 制造方法相同, 能制造出含有含有 Si、Ge 和 C 的缓冲层, 和应变 Si 晶体层的半导体晶片。和体 Si 晶片作为衬底使用时相比, 该半导体晶片作为半导体元件的衬底使用时,  
5 能制造出性能更好的半导体元件。

#### 附图说明

图 1 是为了得到应变 Si 晶体的已往的衬底结构的剖面图。

图 2 是按照本发明的实施例形成的, 备有应变 Si 晶体层的半导体晶  
10 片的剖面图。

图 3(a)~图 3(d)是本发明的实施例所涉及的半导体晶片的制造工序的剖面图。

图 4 是在本发明的实施例所涉及的半导体晶片中, 示出刚沉积在 Si 衬底上的 SiGeC 晶体, 和进行热退火处理之后的 SiGeC 晶体的 X 射线衍  
15 射光谱。

图 5 示出本发明所建议的, 在缓冲层上制造了应变 Si 晶体层的 Si 衬底的 X 射线衍射光谱。

图 6 是对依照本发明在 Si 衬底上形成的 SiGeC 层进行热退火处理后的透过型电子显微镜照的照片。

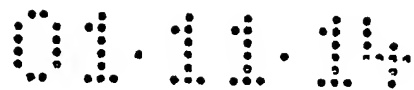
图 7 是对形成在衬底上的 SiGe 晶体进行热退火处理后的透过型电子  
20 显微镜照的照片。

#### 具体实施方式

下面, 参照附图对本发明的最好的实施例进行说明。

图 2 是本实施例所涉及的半导体晶片的剖面图。如图所示, 本发明的  
25 实施例所涉及的半导体晶片, 包括: 体 Si 晶体即 Si 衬底 1, 形成在 Si 衬底 1 上的厚度约为 130nm 的退火 SiGeC 晶体层 10, 形成在退火 SiGeC 晶体层 10 上的厚度约为 4nm 的 Si 晶体层 9, 形成在 Si 晶体层 9 上的应变 Si 晶体层 4。

30 退火 SiGeC 晶体层 10 由形成在 Si 衬底 1 上的矩阵 SiGeC 晶体层 7,



和散在矩阵 SiGeC 晶体层 7 中的直径约 2 ~ 3nm 的 SiC 微晶体 6 构成。

在矩阵 SiGeC 晶体层 7 内，从 Si 衬底 1 和矩阵 SiGeC 晶体层 7 的界面 20nm 以内的区域，包括类似位错的缺陷 2。

本实施例所涉及的晶片的特征为，以由 SiC 微晶体 6 和矩阵 SiGeC 晶体层 7 构成的退火 SiGeC 晶体层 10 作为缓冲层使用。

这样做，晶格弛豫的矩阵 SiGeC 晶体层 7 的晶格常数比 Si 的晶格常数大，故即使是厚度约 130nm 的缓冲层，也能让 Si 晶体层 9 生长在退火的 SiGeC 晶体层 10 的上方，由此可以形成应变 Si 晶体层 4。

另外，本实施例所涉及的半导体晶片，类似位错的晶体缺陷 2，仅在退火 SiGeC 晶体层 10 中从 Si 衬底 1 和矩阵 SiGeC 晶体层 10 的界面 20nm 以内的区域内，故看不见穿通位错。以后说明其证据，及本发明人对其理由的推论。

由于在退火 SiGeC 晶体层 10 中看不见穿通位错，故使用本实施例所涉及的半导体晶片，能制造出可靠性高、且性能高的半导体元件。例如，能制造出在应变 Si 晶体层 4 上设置栅极氧化膜及栅极电极的，具有 Si / SiGeC 异质结构的场效应晶体管等。

补充一下，在本实施例中，Si 晶体层 9 的厚度为 4nm，可是 Si 晶体层 9 的厚度并没有限制。也可以不在退火 SiGeC 晶体层 10 上形成 Si 晶体层 9，直接在退火 SiGeC 晶体层 10 上形成应变晶体层 4。还可以在应变 Si 晶体层 4 之下、Si 晶体层 9 之上，形成 SiGe 晶体或 SiGeC 晶体。

在本实施例中叙述了备有应变 Si 晶体层 4 的晶片，也可以将在没有形成应变 Si 晶体层 4 的状态下的晶片提供给用户。

另外，如后所述，在本实施例的半导体晶片中，SiGeC 晶体中各成分的组成比率为：Si68.3%、Ge30.5%、C1.2%，可是各原子的含有率并不限定于此。

在本实施例中，成为缓冲层的退火 SiGeC 晶体层 10 的厚度为 130nm，为了不让位错出现在衬底表面上，退火 SiGeC 晶体层 10 的厚度为 20nm 以上就可以了。再说，也可以使退火 SiGeC 晶体层 10 的厚度为 130nm 以上。

下面，参照附图对本发明的实施例所涉及的半导体晶片的制造方法

进行说明。图 3(a)~图 3(d)是说明本发明的实施例所涉及的半导体晶片的制造工序的剖面图。

首先，在图 3(a)所示的工序下，按以下次序洗净 Si 衬底 1 的(001)面的表面上。首先，以硫酸—双氧水混合溶液洗净 Si 衬底 1 的表面，除去 Si 衬底 1 表面上的有机物和金属污染物质。其次，以氨—双氧水溶液洗净 Si 衬底 1 的表面，除去 Si 衬底 1 表面上的附着物。接着，用氢氟酸除去 Si 衬底 1 表面上的自然氧化膜。其次，再将 Si 衬底 1 淹浸在氨—双氧水溶液，在 Si 衬底 1 的表面上形成很薄的保护氧化膜。

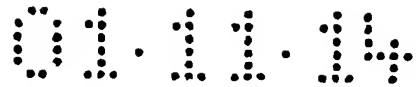
然后，在图 3(b)所示的工序下，将洗净表面的 Si 衬底 1 放在超高真空化学气相淀积装置(UHV—CVD 装置)内，将 UHV—CVD 装置内减压到  $2.6 \times 10^{-7} \text{Pa}$  ( $2 \times 10^{-9} \text{Torr}$ )。其次，在氢气气氛中，将 Si 衬底 1 加热到  $800^\circ\text{C}$ ，除去上述保护酸化膜，且让 Si 衬底 1 中的很清洁的表面露出来。接着，在将 Si 衬底 1 的温度降低到  $490^\circ\text{C}$  的状态下，分别将为 Si、Ge 和 C 的原料气体的乙硅烷( $\text{Si}_2\text{H}_6$ )气体、锗烷( $\text{GeH}_4$ )气体和甲硅烷( $\text{SiCH}_3$ )气体放入 UHV—CVD 装置内，并在 Si 衬底 1 上让 SiGeC 晶体外延生长 15 分种，沉积厚度约为 130nm 的 SiGeC 晶体层 8。尚且，此时的每种气体的压力如下： $\text{Si}_2\text{H}_6$  气体为  $9.1 \times 10^{-3} \text{Pa}$  ( $7 \times 10^{-5} \text{Torr}$ )， $\text{GeH}_4$  气体为  $4.2 \times 10^{-2} \text{Pa}$  ( $3 \times 10^{-4} \text{Torr}$ )， $\text{SiCH}_3$  气体为  $1.2 \times 10^{-3} \text{Pa}$  ( $9 \times 10^{-6} \text{Torr}$ )。之后，停止供给  $\text{GeH}_4$  气体和  $\text{SiCH}_3$  气体，将衬底温度上升到  $550^\circ\text{C}$ ，在  $3.2 \times 10^{-2} \text{Pa}$  ( $2.4 \times 10^{-4} \text{Torr}$ ) 的压力下仅供给  $\text{Si}_2\text{H}_6$  气体 2 分种，沉积约 4nm 的 Si 晶体层 9。该 Si 晶体层 9 具有作为保护膜的功能，即防止 Ge 和 C 原子流到以后使用的洗净装置等工艺装置内而污染装置。

此时，在本实施例中，将沉积在 SiGeC 晶体层 8 上的 Si 晶体层 9 的厚度设为 4nm，无论比 4nm 厚还是比 4nm 薄，在防止污染上都没有问题，并且按照装置的结构，可以省略 Si 晶体层 9 的沉积。再说，也可以将 SiGe 晶体、SiGeC 晶体沉积在 Si 晶体层 9 上。

补充一下，在本实施例中，在晶体生长时使用了 UHV—CVD 法，除此之外，可以使用 LRP 装置或 RT—CVD 装置等。

在本实施例中使用了(001)面的 Si 晶片作衬底，也可以使用具有别的晶面的 Si 晶片。





在此，说明其次的工序之前，说明 SiGeC 晶体刚生长之后的晶体状态。图 4 是，在 Si 衬底上刚生长之后的 SiGeC 晶体，和热退火处理之后的 SiGeC 晶体的 XRD 光谱的图。

在图 4 中的下侧示出了图 3(b)所示的工序中，刚形成 SiGeC 晶体层 8 以及 Si 晶体层 9 之后的衬底的 XRD 光谱。在该光谱中，在 34.56 度附近观测的大峰值是，由于作为衬底使用的 Si(004)面的衍射发生的大峰值，在 34.06 度附近的大峰值是，由于在 Si 衬底 1 上沉积的 SiGeC 晶体发生的大峰值。我们认为该 SiGeC 晶体处于完全应变的状态，即处于平行于 Si 衬底的各方向的 SiGeC 晶体的晶格常数与 Si 衬底的晶格常数完全一致的状态。在此，我们用被称为费伽定律(Vegard's Law)的晶体分析手段，从 X 射线衍射光谱的大峰值角度来计算晶体中各成分的组成比率，而我们可以看出这是 Ge 为 30.5%、C 为约 1.2%的 SiGeC 晶体。再说，再仔细地观测一下图 4 中的下侧的光谱，SiGeC 晶体在 34.06 度附近的大峰值的周围，可以看到小峰值。该小峰值在 X 射线衍射图像中形成了条纹(fringe)，表示在本实施例中所形成的 SiGeC 晶体的结晶性以及平坦性都非常良好。对于结晶性，我们又通过透过型电子显微镜(TEM)进行剖面观测，在 Si 衬底 1 和沉积的 SiGeC 晶体层 8 的界面及 SiGeC 晶体层 8 中都没观测缺陷。

其次，在如图 3(c)所示的工序中，将衬底从 UHV-CVD 装置中取出，在氮气氛中使用卤素灯退火处理装置或电热炉退火处理装置等，对它进行热退火处理。在此，热退火处理的温度在 1050°C、时间为 15 秒钟。

由于该热退火处理工序，如后所述，发生 SiGeC 晶体层 8 分离为 SiC 微晶体 6 和矩阵 SiGeC 层晶体层 7。同时，如后所述那样发生晶格弛豫，矩阵 SiGeC 层晶体层 7 的平面内晶格常数比 Si 衬底 1 的晶格常数大。因此，在以后的工序下在将 Si 晶体层沉积在退火 SiGeC 晶体层 10 上时，能使 Si 晶体层应变，可以形成应变 Si 晶体层 4。

另外，在本实施例中，由于在 1050°C 下热退火衬底而析出 SiC 微晶体 6，所以在退火 SiGeC 晶体层 10 中看不到穿通位错。这就表明，由于使用利用本实施例的方法制造的半导体晶片，可以制造出可靠性很高的半导体元件。

补充一下，在本实施例中，在 1050°C 下进行了衬底热退火处理，可是只要在能析出 SiC 的温度下，即在大约 950°C 以上的温度条件下进行热退火处理就可以了。

另外，在本实施例中，沉积 SiGeC 晶体层 8 后，将衬底从晶体生长装置拿出来，然后进行了热退火处理，但并不需要按上述次序进行，也可以在 SiGeC 晶体层 8 沉积后，在晶体生长装置内继续进行热退火处理。

补充一下，在本实施例下，在以后的工序中形成应变 Si 晶体层 4，也可以不这样做，制造备有 Si 衬底 1 及退火 SiGeC 晶体层 10 的热退火后的衬底，以此作为形成任意半导体器件的衬底。换句话说，也可以将具有 Si 衬底和 SiC 晶体分散在其中的 SiGeC 晶体层的晶片，在不形成应变 Si 晶体层 4 的状态下提供给用户。

在此，在说明其次的工序之前，对热退火后的 SiGeC 晶体的状态进行说明。

图 6 是，在图 3(c)所示的工序中，通过 TEM 观察热退火后的衬底剖面后而得到的 TEM 照片。从该照片可以看到：在以前的均匀的 SiGeC 晶体中析出了直径约 2 ~ 3nm 的 SiC 微晶体 6。我们认为：该 SiC 微晶体 6 是，由于热退火处理亚稳定态的晶体即 SiGeC 晶体时，它发生相分离，而分离为稳定的晶体的 SiC 晶体和 SiGeC 晶体之结果。此时，可以推测，SiGeC 晶体层 8 中的大部分的 C 集中在 SiC 微晶体 6 所在的那个部分，其周围成为 C 含有率极低的 SiGeC 晶体(矩阵 SiGeC 晶体层 7)。

补充一下，为简单起见，在图 3(c)中的 SiC 微晶体 6 描写得比实际上的体积比率大，实际上退火 SiGeC 晶体层 10 中的 SiC 微晶体 6 体积比率极小。

仔细地看一下图 6 所示的 TEM 照片，在矩阵 SiGeC 晶体层 7 中，只有在从 Si 衬底 1 和退火 SiGeC 晶体层 10 的界面约 20nm 以内的区域，可以看到我们认为是位错的缺陷 2。可是，矩阵 SiGeC 晶体层 7 中，离 Si 衬底 1 和退火 SiGeC 晶体层 10 的界面约有 20nm 以上的区域，几乎都看不见缺陷。众所周知，对仅将 SiGe 晶体沉积在 Si 衬底上的 SiGe 晶体进行热退火，会产生极大的穿通位错等。图 7 是对形成在衬底上的 SiGe 晶体进行热退火之后的透过型电子显微镜的照片，从该图可知，热退火之

后的 SiGe 层中产生了穿通位错。与此相比，在依照本实施例制造的、备有 SiGeC 层的晶片中，完全没有产生这样的缺陷。

在此，简单地研究一下没有产生如穿通位错那样极大的缺陷的理由。SiC 微晶体的晶格常数，和围绕 SiC 微晶体的 C 含有率低的 SiGeC 晶体的晶格常数相互大大地不同(推定约 20%)。故 SiC 微晶体和其旁边的 C 含有率下降了的 SiGeC 晶体之间形成有极小的缺陷，极小得在图 6 所示的 TEM 照片上都看不见。借助该微小的缺陷的存在，矩阵 SiGeC 晶体层 7 内的应变慢慢地被弛豫，结果整个晶格弛豫在不产生穿通位错等很大的缺陷的情况下，得以进行。

图 4 中的上侧的光谱显示，热退火工序之后的衬底(参照图 3(c))的 X 射线衍射的结果。在 33.95 度出现的峰值相等于矩阵 SiGeC 晶体层 7 的衍射峰值。使用该峰值角度和费伽定律(Vegard's Law)仔细地分析一下，我们可以看到：在矩阵 SiGeC 晶体层 7 发生了弛豫，矩阵 SiGeC 晶体层 7 的面内的晶体间隔比 Si 晶体的晶格常数大 0.6%左右，即约为 0.5494nm。严格地说，该值只是矩阵 SiGeC 晶体层 7 的值，不是含有 SiC 晶体的退火 SiGeC 晶体层 10 的晶格常数。可是，如上所述，SiC 晶体的体积比率极小，故我们认为该值等于退火 SiGeC 晶体层 10 的晶格常数。

以上所述，我们知道，本发明所述的具有 Si 衬底和 SiC 晶体分散在其中的 SiGeC 晶体层的结构，能起很少有缺陷的缓冲层的作用。另外，如上所述，在本实施例下制造的晶片中，晶体结构的缺陷只发生在矩阵 SiGeC 晶体层 7 内的从 Si 衬底 1 和退火 SiGeC 晶体层 10 的界面 20nm 以内的区域上，故我们也知道只用比本实施例薄了很多的沉积层，就能制造出没有穿通位错等缺陷的晶片。

下面，使用上述缓冲层对制造应变 Si 层的场合进行说明。

在图 3(d)所示的工序中，以与图 3(a)所示的工序相同的方法来洗净衬底的表面上，该衬底具备 Si 衬底 1、退火 SiGeC 晶体层 10、Si 晶体层 9。然后，将衬底放在 UHV-CVD 装置内，让衬底的干净的表面露出来。接着，将衬底温度设定为 550°C，在  $3.2 \times 10^{-2}$  Pa ( $2.4 \times 10^{-4}$  Torr) 的压力下供给  $\text{Si}_2\text{H}_6$  气体 15 分钟，在 Si 晶体层 9 上外延生长厚度约为 30nm 的 Si 晶体层。

如后所述, 在退火 SiGeC 晶体层 10 及 Si 晶体层 9 中, 平面内的晶格常数比 Si 衬底 1 高, 在此沉积的 Si 晶体层成为晶格常数比 Si 衬底 1 大、且具有应变的 Si 晶体层 4。因此, 依据以上的工序来制造具有应变 Si 晶体层的半导体衬底。

5       使用具有该应变 Si 晶体层 4 的晶片, 能制造出其性能比已往的使用了 Si 晶体的半导体元件更高的半导体元件。例如, 能制造在应变 Si 晶体层 4 上设置了栅极氧化膜及栅极电极的、具有 Si / SiGeC 异质结构的场效应晶体管等。

10       在本发明的实施例所涉及的半导体晶片的制造方法中, 缓冲层为 130nm、很薄, 故和已往的方法相比, 能大幅度地减少制造所要的时间及成本。由此, 可大量生产具有应变底 Si 晶体层 4 的半导体晶片。

15       另外, 在本实施例中, 在将 SiGeC 晶体层 8 沉积在 Si 衬底 1 上后, 沉积 Si 晶体层的工序之前进行热退火处理, 也可以在 SiGeC 晶体层 8 上沉积 Si 晶体层之后, 进行热退火处理。按照该方法也能制造出具有应变 Si 晶体层 4 的半导体晶片。

20       在此, 验证一下本实施例所制造的 Si 衬底 1 上的退火 SiGeC 晶体层 10 和应变 Si 晶体层 4 的结晶状态。

25       图 5 示出了备有退火 SiGeC 晶体层 10 和应变 Si 晶体层 4 的 Si 衬底 1 的 X 射线衍射光谱结果。从该图我们能观测到 34.56 度附近的 Si 衬底 1 的衍射峰值、和 33.95 度附近的 SiGeC 晶体(退火 SiGeC 晶体层 10)的衍射峰值, 还能观测到在 34.7 度附近的较小的宽峰。我们认为, 该 34.7 度附近的峰值是因为将 Si 晶体层沉积在其平面内的晶格常数比 Si 衬底 1 大的退火 SiGeC 晶体层 10 上, 故 Si 晶体层受了拉伸应力后发生, 应变而造成的。在此, 又使用费伽定律(Vegard's Law)进行了分析, 我们发现应变 Si 晶体层 4 的衬底面内的晶格间隔约为 0.5458nm。Si 衬底 1(体 Si 晶体)的晶体间隔为 0.5431nm, 故应变 Si 晶体层 4 的应变率约为 0.5%。从这些结果我们可以看出, 将 Si 晶体沉积在 SiC 晶体分散在其中的 SiGeC 晶体层上, 也能制造出应变 Si 晶体。

30       本发明可以被应用于具有 Si / SiGeC 异质结构、且备有应变 Si 晶体的场效应晶体管等上。

说明书附图

---

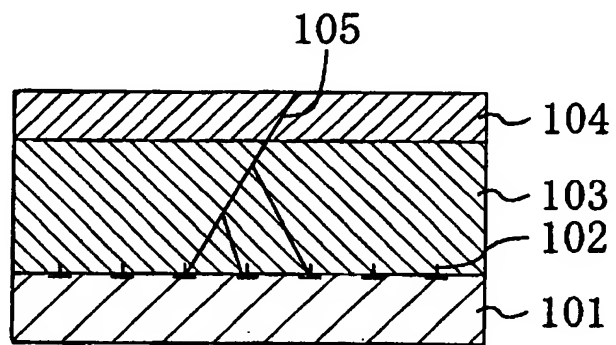


图1

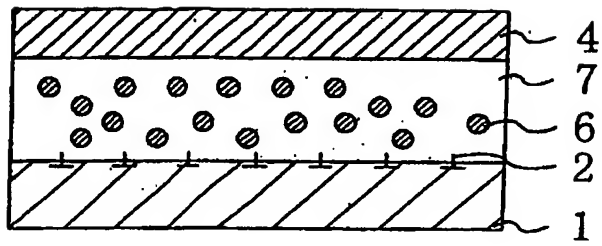


图2

图3(a)



图3(b)

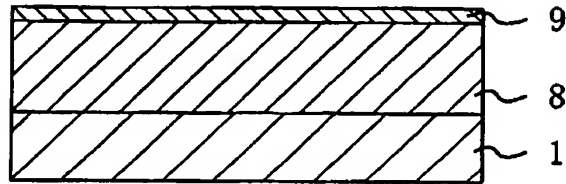


图3(c)

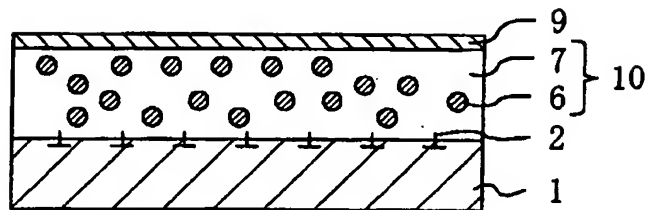
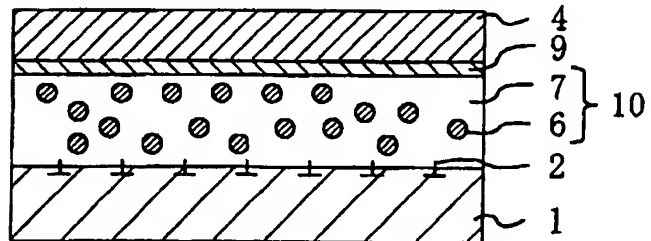


图3(d)



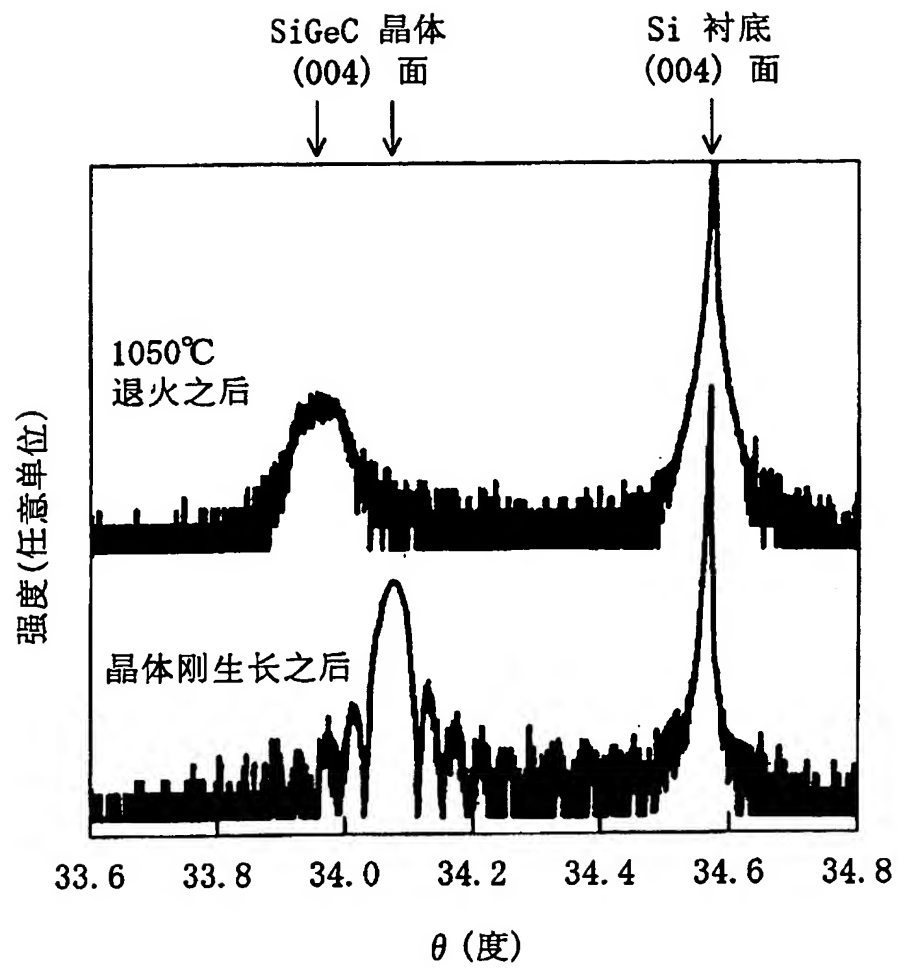


图4



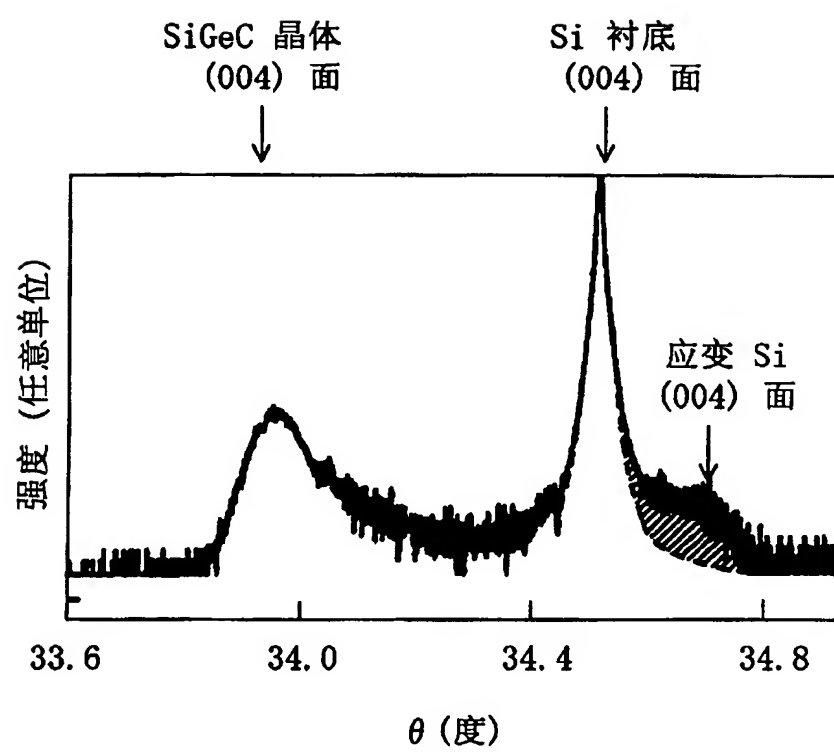


图5

SiC 晶体(粒状)



图6

穿通位错

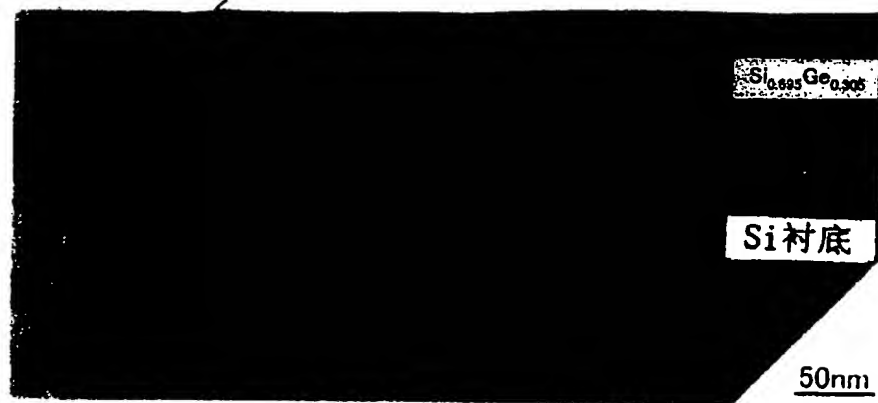


图7

BEST AVAILABLE COPY